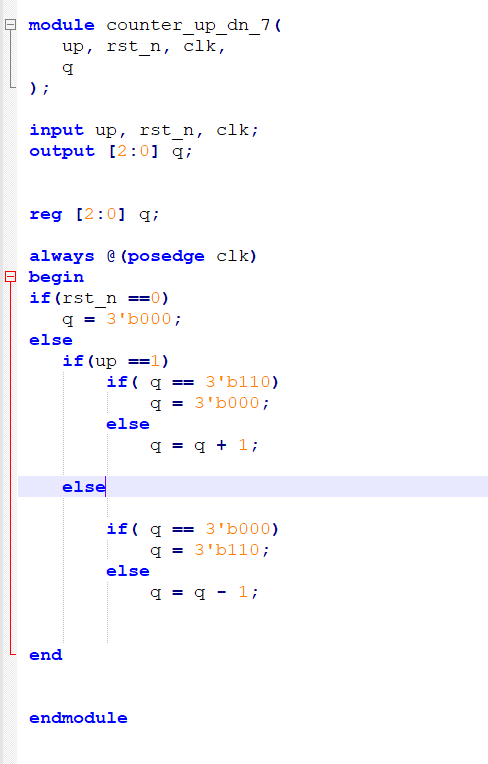
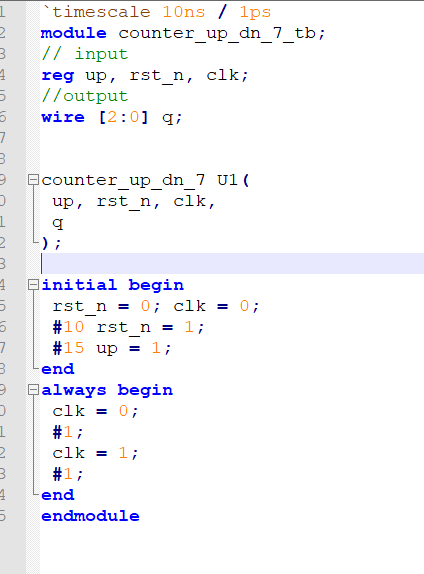
HW 7진 Up/Down 카운터 설계(Verilog 버전)

201413283 김재훈

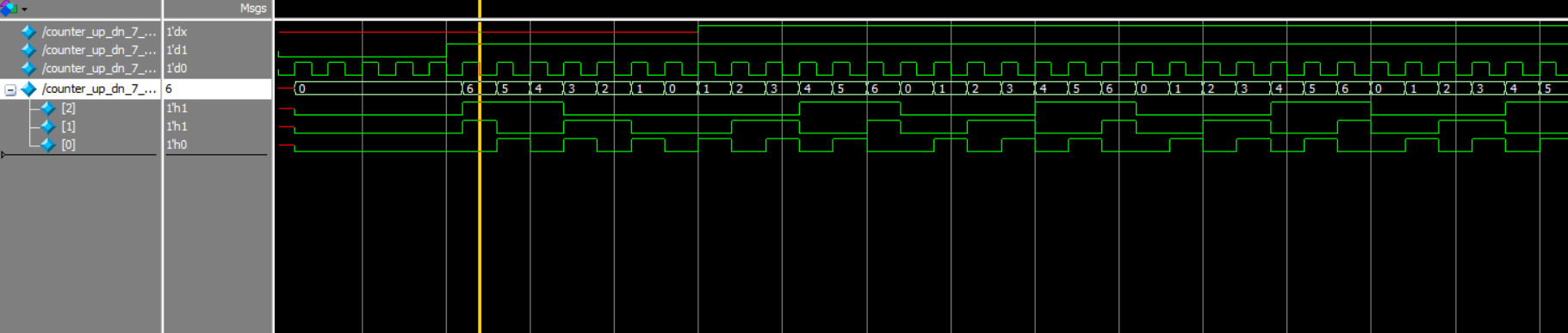
1. Device Module



1. Test Bench



1. 시뮬레이션 파형



1. Discussion

7진 up/down 카운터를 Verilog로 설계해봤다. 이전에 VHDL로 했을 때와 대부분 비슷하지만 문법이 약간 달랐다.

Verilog에선 입출력 포트를 module에 선언해 주고, port type은 input, output으로 포트타입을 사용했고, reg를 이용해서 변수를 저장했다. Always 안에 Clk에 따라서 출력이 변화하도록 했다.